

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-045894

(43)Date of publication of application : 14.02.1997

(51)Int.Cl.

H01L 29/778

H01L 21/338

H01L 29/812

(21)Application number : 07-210191

(71)Applicant : NEC CORP

(22)Date of filing : 27.07.1995

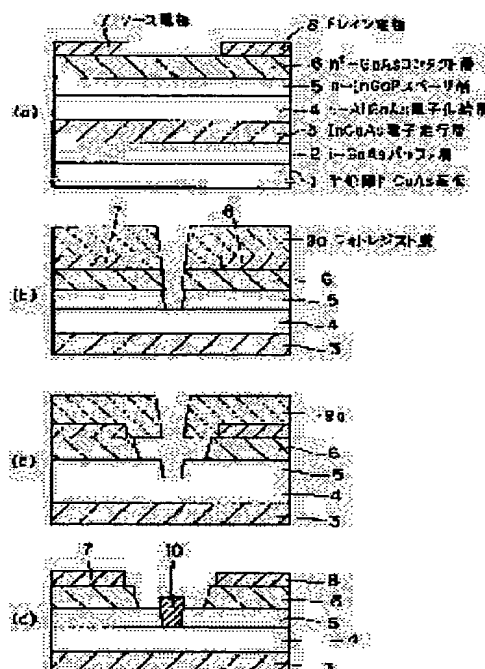
(72)Inventor : MATSUNAGA TAKAHARU
KUZUHARA MASAOKI

(54) MANUFACTURE OF FIELD-EFFECT TRANSISTOR

(57)Abstract:

PROBLEM TO BE SOLVED: To set a double-recess structure uniform in shape so as to make a field-effect transistor uniform in breakdown voltage.

SOLUTION: An I-GaAs buffer layer 2, an InGaAs electron transit layer 3, an N-AlGaAs electron feed layer 4, an N-InGaP spacer layer 5, and an N+-GaAs contact layer 6 are grown on a semi-insulating GaAs substrate 1, and then a source electrode 7 and a drain electrode 8 are formed [(a)]. A photoresist film 9a provided with an opening of a second recess pattern is formed, an N+-GaAs contact layer 6 is selectively etched using the photoresist film 9a as a mask, and then the N-InGaP spacer layer 5 is selectively etched for forming a first recess [(b)]. Then, N+-GaAs contact layer 6 is selectively etched to form a first recess [(c)]. Thereafter, a gate electrode 10 is formed through deposition and lift-off of Al [(d)].



LEGAL STATUS

[Date of request for examination] 27.07.1995

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 2716015

[Date of registration] 07.11.1997

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-45894

(43) 公開日 平成9年(1997)2月14日

(51) Int.Cl. ⁸	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 29/778		7376-4M	H 0 1 L 29/80	H
21/338				
29/812				

審査請求 有 請求項の数 3 F D (全 4 頁)

(21) 出願番号 特願平7-210191

(22) 出願日 平成7年(1995)7月27日

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 松永 高治

東京都港区芝五丁目7番1号 日本電気株式会社内

(72) 発明者 葛原 正明

東京都港区芝五丁目7番1号 日本電気株式会社内

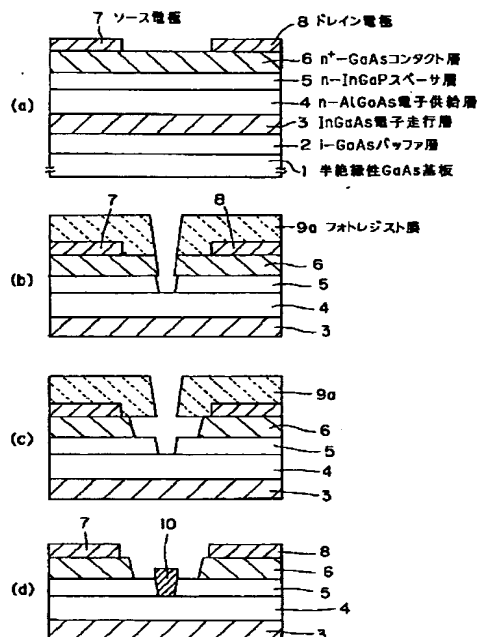
(74) 代理人 弁理士 尾身 祐助

(54) 【発明の名称】 電界効果トランジスタの製造方法

(57) 【要約】

【目的】 ダブルリセス構造をばらつきの少ない形状に形成しうるようにして耐圧特性のばらつきを抑制する。

【構成】 半絶縁性GaAs基板1上に、i-GaAsバッファ層2、InGaAs電子走行層3、n-AlGaAs電子供給層4、n-InGaPスペーサ層5、n⁺-GaAsコンタクト層6を成長させた後、ソース電極7およびドレイン電極8を形成する〔(a)〕。第2のリセスのパターンの開口を有するフォトレジスト膜9aを形成し、これをマスクとしてn⁺-GaAsコンタクト層6を選択的にエッチングし、続いてn-InGaPスペーサ層5を選択的にエッチングして第1のリセスを形成する〔(b)〕。次に、n⁺-GaAsコンタクト層6を選択的にサイドエッチして、第1のリセスを形成する〔(c)〕。その後、Alの蒸着とリフトオフによりゲート電極10を形成する〔(d)〕。



【特許請求の範囲】

【請求項1】 (1) 高抵抗化合物半導体基板上に、電子走行層、電子供給層、該電子供給層とはエッチング性を異にする材料からなるスペーサ層および該スペーサ層とはエッチング性を異にする材料からなるコンタクト層を順に成長させる工程と、

(2) 前記コンタクト層上にゲート電極形成領域上に開口を有するフォトレジスト膜を形成する工程と、

(3) 前記フォトレジスト膜をマスクとして前記コンタクト層を選択的にエッチングする工程と、

(4) 前記フォトレジスト膜をマスクとして前記スペーサ層を選択的にエッチングして第2リセス部を形成する工程と、

(5) 前記フォトレジスト膜をマスクとして前記コンタクト層を選択的にサイドエッチして第1リセス部を形成する工程と、

(6) 前記電子供給層に対しショットキー障壁を形成する材料を前記第2リセス内に充填してゲート電極を形成する工程と、を備えることを特徴とする電界効果トランジスタの製造方法。

【請求項2】 前記電子走行層がInGaAsまたはGaAsにより形成され、前記電子供給層がAlGaAsにより形成されることを特徴とする請求項1記載の電界効果トランジスタの製造方法。

【請求項3】 前記スペーサ層がInGaPにより形成され、前記コンタクト層がGaAsにより形成されることを特徴とする請求項1記載の電界効果トランジスタの製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、電界効果トランジスタの製造方法に関し、特にヘテロ接合界面に形成される2次元電子ガスをチャネルとして用い、ゲート電極がダブルリセス部に形成される高周波電力用電界効果トランジスタの製造方法に関するものである。

【0002】

【従来の技術】この種のGaAs/AlGaAs系電界効果トランジスタでは、電子供給層であるAlGaAsとヘテロ接合するGaAsあるいはInGaAsとの界面に生じる2次元電子ガスを利用して動作させる。この構造のトランジスタは、電子供給層中のドナー準位と空間的に分離されるので、電氣的散乱を受けにくく、高速動作が可能になり、現在では衛星通信用の低雑音素子として実用化されるまでに至っている。

【0003】而して、最近、これらの2次元電子ガスをチャネルとして用いた電界効果トランジスタを高周波電力用の電界効果トランジスタとして利用する動きがある。高周波電力用の素子とするためには、低雑音素子の開発で行なってきた方法を修正しなければならない。ヘテロ接合電界効果トランジスタを電力用素子として用い

ることができるようにするには耐圧を向上させることが必要となる。

【0004】耐圧を向上させるために、従来よりリセスをダブルリセス構造にする方法が採用されてきている。その従来例の工程順断面図を図2(a)～(d)に示す。まず、図2(a)に示すように、半絶縁性GaAs基板1上に、i-GaAsバッファ層2、InGaAs電子走行層3、n-AlGaAs電子供給層4、n⁻-GaAsスペーサ層5a、n⁺-GaAsコンタクト層6を順次エピタキシャル成長させた後、コンタクト層6上に、ソース電極7およびドレイン電極8を形成する。

【0005】次に、図2(b)に示すように〔図2

(b)以降の図では、基板1およびバッファ層2の図示は省略されている〕、形成すべき1段目のリセス形状の開口を有するフォトレジスト膜9bを形成し、これをマスクとするエッチングを行って、1段目のリセスを形成する。続いて、図2(c)のように、2段目のリセス形状の開口を有するフォトレジスト膜9cを形成し、これをマスクとするエッチングを行って、2段目のリセス形成する。次に、ショットキー金属材料の蒸着とリフトオフにより、図2(d)に示すように、ゲート電極を形成する。

【0006】

【発明が解決しようとする課題】上述したように、ダブルリセス構造を採用することにより素子耐圧は向上するが、耐圧特性は、ダブルリセスを形成している部分のうち、2段目のリセス高さに大きく依存する。2段目のリセス高さは1段目のリセスを形成する時に決定される。ところが、n⁻-GaAsスペーサ層5aとn⁺-GaAsコンタクト層とのエッチングの選択性は余り高くない。従って、エッチング時の温度、時間、またはエピタキシャル層の性質によってダブルリセスのエッチング形状が左右される。そのため、1段目のリセスのエッチング深さにばらつきが生じやすく、この形状の不正確さのため、耐圧特性を一意的に決められないという問題点があった。例えば、1段目のリセスのエッチングが不足している場合にはコンタクト層が第1のリセスの底に残り、また過剰エッチングが行われた場合には電子供給層の表面が露出してしまい第2のリセスが形成されないことになってしまう。特に、マルチフィンガ構造を採る電力用トランジスタでは、エッチングレートの面内ばらつきの影響を受け易いため、このような寸法安定性の低いプロセスを採用している場合には歩留りが大きく低下してしまう。また、第1のリセスを形成する際にコンタクト層のエッチング残りが発生した場合には、耐圧が低下するばかりでなく、ゲートリークが増大し、またゲート容量の増大に伴って高周波特性が劣化する。

【0007】また、従来例では、ダブルリセスを形成するのに2回のフォトリソグラフィ工程を必要とし、工数

のこのような問題点を鑑みてなされたものであって、その目的は、第1に、正確な形状のダブルリセスを形成しうるようにして耐圧特性のばらつきを抑制することであり、第2に、ダブルリセスをより少ない工数により形成しうるようにすることである。

【0008】

【課題を解決するための手段】上記の目的を達成するための本発明の電界効果トランジスタの製造方法は、

(1) 高抵抗化合物半導体基板上に、電子走行層、電子供給層、スペーサ層およびスペーサ層とはエッチング性を異にする材料からなるコンタクト層を順に成長させる工程と、(2) 前記コンタクト層上にゲート電極形成領域に開口を有するフォトレジスト膜を形成する工程と、

(3) 前記フォトレジスト膜をマスクとして前記コンタクト層を選択的にエッチングする工程と、(4) 前記フォトレジスト膜をマスクとして前記スペーサ層を選択的にエッチングして第2リセス部を形成する工程と、

(5) 前記フォトレジスト膜をマスクとして前記コンタクト層を選択的にサイドエッチして第1リセス部を形成する工程と、(6) 前記電子供給層に対しショットキー障壁を形成する材料を前記第2リセス内に充填してゲート電極を形成する工程と、を備える。

【0009】

【作用】本発明の電界効果トランジスタの製造方法では、電子供給層とコンタクト層との間に、これらの半導体層とはエッチング性を異にする材料からなるスペーサ層を設け(例えば、電子供給層、コンタクト層をそれぞれAlGaAs、GaAsで形成し、スペーサ層をInGaPにより形成する)、エピタキシャル成長の完了後、第2のリセスの 패턴の開口を有するフォトレジスト膜を形成し、これをマスクとして、

- ① コンタクト層の選択エッチング、
- ② スペーサの選択エッチング、
- ③ コンタクト層のサイドエッチ、

の3段階のエッチングを経てダブルリセスを形成する。

【0010】上記の製造方法によれば、コンタクト層とスペーサ層とはエッチング性を異にしているため、上記①～③のエッチングにおいて、①および③のエッチング時にスペーサ層がエッチングされることがなく、②のエッチング時にはコンタクト層はエッチングされない。したがって、第1のリセスの高さはコンタクト層の膜厚となり、また第2のリセスの高さはスペーサ層の膜厚によって決定される。また、①のエッチングにおいて、コンタクト層のエッチング残りが発生しないようにすることができる。

【0011】すなわち、本発明によれば、耐圧特性に重要な第2のリセスの高さはエピタキシャル成長の段階で決定できるとともに、ダブルリセスの形状も一意的に決定される。したがって、素子の耐圧特性などがばらつかないようにすることができる。また、高周波特性などの

特性の劣化を防止して歩留りの向上を図ることができる。また、ダブルリセス構造を1回のフォトリソグラフィ工程で形成することができるようになるので、工程の簡素化を実現することができる。

【0012】

【発明の実施の形態】次に、本発明の実施の形態について図面を参照して詳細に説明する。図1(a)～(d)は、本発明の一実施例の電界効果トランジスタの製造方法を示す工程断面図である。まず、図2(a)に示すように、半絶縁性GaAs基板1上に、i-GaAsバッファ層2、InGaAs電子走行層3、n-AlGaAs電子供給層4、n-InGaPスペーサ層5、n'-GaAsコンタクト層6を順次エピタキシャル成長させた後、コンタクト層6上に、ソース電極7およびドレイン電極8を形成する。電子走行層は、GaAsを用いて形成してもよい。

【0013】次に、フォトリソグラフィ法を適用して、第2のリセスの图案の開口を有するフォトレジスト膜9aを形成し、これをマスクとして硫酸系エッチャントを用いてn'-GaAsコンタクト層6を選択的にエッチングする。このエッチングはn-InGaPスペーサ層5の表面で自動的に停止する。続いて、フォトレジスト膜9aをマスクとして、塩酸系エッチャントを用いてn-InGaPスペーサ層5を選択的にエッチングして第1のリセスを形成する。このエッチング時には、n'-GaAsコンタクト層6やn-AlGaAs電子供給層4がエッチングされることはない〔図1(b)：図1(b)以降の図では、GaAs基板1およびバッファ層2の図示は省略されている〕。

【0014】次に、フォトレジスト膜9aをマスクとして、硫酸系エッチャントを用いてn'-GaAsコンタクト層6を選択的にサイドエッチして、第1のリセスを形成する〔図1(c)〕。その後、アルミニウムの蒸着を行ってゲート電極10を形成し、不要のアルミニウム膜をフォトレジスト膜9aとともに除去して本実施例による電界効果トランジスタの製作が完了する〔図1(d)〕。

【0015】

【発明の効果】以上説明したように、本発明の電界効果トランジスタの製造方法は、電子走行層とコンタクト層との間に、これらとはエッチング性を異にする半導体からなるスペーサ層を介在せしめ、これらの半導体層のエッチング選択比を利用してダブルリセス構造を形成するものである。本発明によれば、2段目のリセス高さをスペーサ層の膜厚とすることができ、また、ダブルリセスの形状をエピタキシャル成長層の膜厚によって一意的に決定できるため、素子の耐圧特性などのばらつきを抑制することができる。また、高周波特性の劣化を防止して高い歩留りで製造することができるようになる。また、ダブルリセスを1回のフォトリソグラフィ工程によ

5

6

り形成することができるため、プロセスの簡素化を実現できる。

【図面の簡単な説明】

【図1】本発明の一実施例を説明するための工程順断面図。

【図2】従来例の工程順断面図。

【符号の説明】

1 半絶縁性GaAs基板

2 i-GaAsバッファ層

* 3 InGaAs電子走行層

4 n-AlGaAs電子供給層

5 n-InGaPスペーサ層

5a n⁻-GaAsスペーサ層

6 n⁺-GaAsコンタクト層

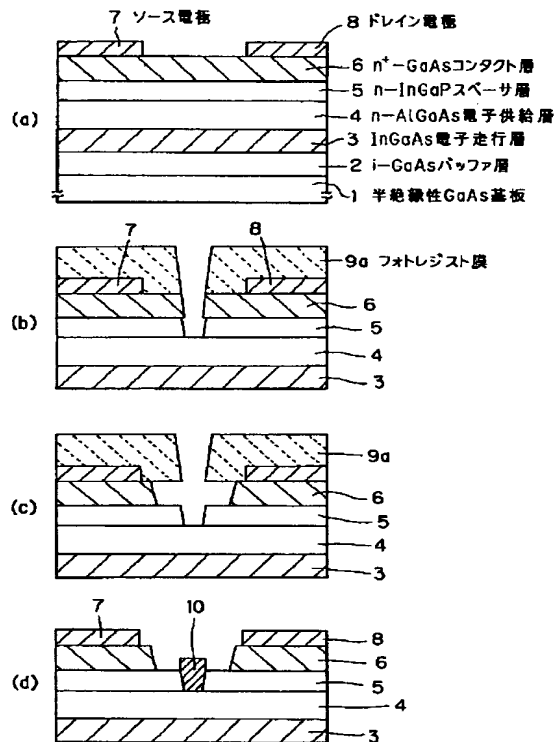
7 ソース電極

8 ドレイン電極

9a、9b、9c フォトリソ膜

* 10 ゲート電極

【図1】



【図2】

